

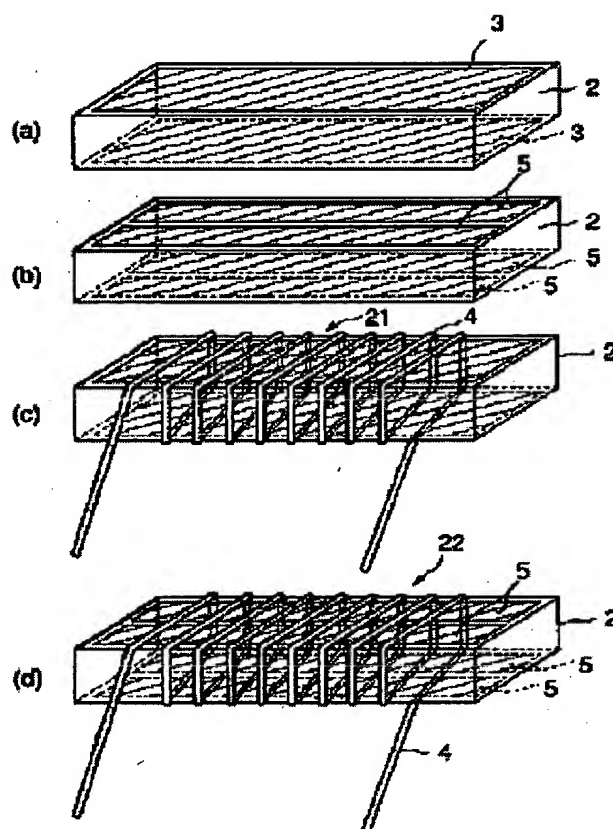
WIRE-WOUND MAGNETIC THIN-FILM INDUCTOR

Patent number: JP2000252127
Publication date: 2000-09-14
Inventor: RI MORIHARU; SUGAWARA HIDEKUNI; YANO TAKESHI
Applicant: TOKIN CORP
Classification:
- international: H01F17/00
- european:
Application number: JP19990049034 19990225
Priority number(s):

Abstract of JP2000252127

PROBLEM TO BE SOLVED: To increase the Q-value of a wound-wire magnetic thin-film inductor and stabilize the temperature characteristic of the inductor, by constituting the inductor, in such a way that a thin magnetic core film having a high Q-value is formed on at least one surface of a substrate and a winding is made around the magnetic core and substrate.

SOLUTION: At the manufacturing of a wire-wound magnetic thin-film inductor 22, an inductor 21 is first manufactured by forming magnetic films 3 on both surfaces of a glass substrate 2 and forming a winding 4 around the substrate 2 and films 3, for suppressing the height of the inductor 21 by taking the size of the inductor 22 into consideration. At the forming of the films 3 on both surfaces of the substrate 2, in addition, magnetic core sections are formed as divided thin magnetic core films 5 and 5 on both surfaces by further dividing the thin films 3 into two rows for suppressing the magnetic domain which is optimum for obtaining height magnetic permeability and overcurrents. Then the inductor 22 is manufactured, by forming appropriate spaces among the turns of the winding 4 with the use of the magnetic core sections thus formed. The Q-value of the inductor 22 may reach a value of ≥ 50 in the vicinity of 40 MHz. Therefore, a wire-wound magnetic thin-film inductor having small size, high heat resistance, and stable temperature characteristic can be manufactured.

**BEST AVAILABLE COPY**

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開 2000-252127

(P 2000-252127A)

(43)公開日 平成12年9月14日(2000.9.14)

(51)Int. Cl.⁷

H01F 17/00

識別記号

F I

H01F 17/00

テマコード^{*}(参考)

Z 5E070

審査請求 未請求 請求項の数 10

OL

(全9頁)

(21)出願番号 特願平11-49034

(22)出願日 平成11年2月25日(1999.2.25)

(71)出願人 000134257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(72)発明者 李 衛東

宮城県仙台市太白区郡山6丁目7番1号 株式会社トーキン内

(72)発明者 菅原 英州

宮城県仙台市太白区郡山6丁目7番1号 株式会社トーキン内

(74)代理人 100071272

弁理士 後藤 洋介 (外2名)

最終頁に続く

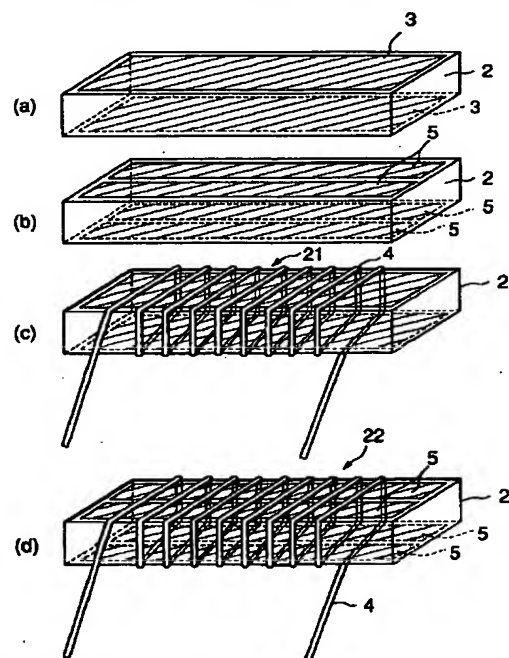
(54)【発明の名称】 巻き線型磁性薄膜インダクタ

(57)【要約】

【課題】 サイズが小さく、Q値が高く(50以上)、かつ温度特性が安定である薄膜巻き線インダクタとその製造方法とを提供すること。

【解決手段】 巻き線型磁性薄膜インダクタ21、23は、基板2の少なくとも一面にQが上がる磁芯薄膜3、5を形成し、それを細かく切り離し、巻線を施して巻き線インダクタを構成する。

基板両面成膜した磁性薄膜を用いた巻き線インダクタ



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 基板の少なくとも一面に Q の大きな磁芯薄膜を形成し、巻線を施して巻き線インダクタを構成することを特徴とする巻き線型磁性薄膜インダクタ。

【請求項 2】 請求項 1 記載の巻き線型磁性薄膜インダクタにおいて、前記磁芯薄膜は、分断されていることを特徴とする巻き線型磁性薄膜インダクタ。

【請求項 3】 基板上に磁芯膜を形成し、それを少なくとも 2 枚重ね合わせ、その集合体に巻線を施してなることを特徴とする巻き線型磁性薄膜インダクタ。

【請求項 4】 請求項 3 記載の巻き線型磁性薄膜インダクタにおいて、前記磁芯薄膜は細かく切り離されていることを特徴とする巻き線型磁性薄膜インダクタ。

【請求項 5】 請求項 3 又は 4 記載の巻き線型磁性薄膜インダクタにおいて、前記基板は、ポリイミド、ガラス、及びシリコンの内の少なくとも一種からなることを特徴とする巻き線型磁性薄膜インダクタ。

【請求項 6】 基板上に磁芯薄膜を形成し、それを少なくとも 2 枚重ね合わせ、その集合体に巻線を施すことを特徴とする巻き線型磁性薄膜インダクタの製造方法。

【請求項 7】 請求項 6 記載の巻き線型磁性薄膜インダクタの製造方法において、前記磁芯薄膜は、細かく分断されており、前記基板は、ポリイミド、ガラス、及びシリコンの内の少なくとも一種からなることを特徴とする巻き線型磁性薄膜インダクタの製造方法。

【請求項 8】 基板表面裏に形成された磁芯薄膜を有し、前記磁芯薄膜は、磁化容易方向又は磁化困難軸方向に $100\mu\text{m}$ から $500\mu\text{m}$ 幅に $2\sim 50\mu\text{m}$ のスペースを開けて分断されていることを特徴とする薄膜巻き線インダクタ用薄膜磁芯材料。

【請求項 9】 請求項 8 記載の薄膜巻き線インダクタ用薄膜磁芯材料において、前記基板は、ポリイミド、ガラス、及びシリコンの内の少なくとも一種からなることを特徴とする薄膜巻き線インダクタ用薄膜磁芯材料。

【請求項 10】 請求項 8 又は 9 記載の薄膜巻き線インダクタ用薄膜磁芯材料に巻線を施してなることを特徴とする巻き線型磁性薄膜インダクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜磁性体を用いた巻き線薄膜インダクタ、及びチップキャパシタを用いた LC 磁気デバイス、特に LC バンドパスフィルタに関するものである。

【0002】

【従来の技術】 現在、バンドパスフィルタは、Q 値が数百と高い SAW（表面弾性波）フィルタ、及び Q 値が数十から数百の誘電体フィルタが主流である。これらフィルタは適用周波数帯域が数百 MHz から数 GHz の周波数帯域で効果的であり、Q 値が高いために、周波数のバンド幅の狭い、立ち上がりの鋭い透過周波数帯域を得る

ことができる。

【0003】 反面、不得手な領域は、数 10 MHz の低周波数帯域であり、広い透過周波数帯域幅を得ること、トランスバーサルタイプでは挿入損失が大きいこと、更に弾性表面波フィルタの特徴として表面波の波長が GHz 帯の高周波に比較して一桁長いため、本質的に小型化が困難である。

【0004】 更に形状は、使用される周波数帯域にも依るが、SAW フィルタが $3.8\text{mm} \times 3.8\text{mm} \times 2\sim 3\text{mm}$ 厚み程度の小型で薄い SMD パッケージが可能なのに対して、焼結で作製する誘電体フィルタはその本質的な特性から $3\sim 4\text{mm}$ 程度の厚みが必要である。

【0005】 次に、素子の作製方法は、SAW フィルタの場合、誘電体セラミックスの上に半導体と同じ技術で、アルミニウム (Al) の櫛状電極を配置し、その表面状態の保護と、弾性表面波の伝搬を阻害しないために、金属又はセラミック製のカバーが必要である。誘電体フィルタは、セラミック共振器と、L、C チップ素子からなり、ガラエポ（ガラス強化エポキシ樹脂）基板上に実装配置されている。

【0006】 コイルの巻き線は巻き線治具を用いて自動巻き線し、その後導線を電極に半田付けしてインダクタを構成した後、チップキャパシタと一緒に実装技術を用いてバンドパスフィルタを組み立てている。

【0007】 従来、LC 素子を用いてバンドパスフィルタを構成する場合、その電気回路の構成上集中定数回路が設計されていた。そこに使われるインダクタは動作周波数帯域で高 Q 値 $50\sim 100$ が要求され、現在は主に、数 mm のフェライトに巻線を施したバルクタイプ、フェライトの中にコイルを埋め込んだ 2012、1608（チップ素子の規格名、以下同じ）系の積層チップ素子、更に磁性体を使わない空心コイルが主であった。これらのインダクタは数十 MHz から数百 MHz の高周波帯域で用いられるが、L 値が大きいと共振周波数が低くなり最大 Q 値を得る周波数帯も低く、L 値が小さいと共振周波数及び最大 Q 値を有する周波数は高いという特徴があった。

【0008】 特に、空心コイルは GHz に近い周波数帯では高 Q 値を示すが、100 MHz 前後の周波数帯域では高 Q は得られない。

【0009】 次に、キャパシタは主に SMD 部品であるチップキャパシタ素子が使われ、その厚みは、1608 タイプは 0.8mm 厚み、1005 タイプは 0.5mm 厚み、0603 タイプは 0.3mm 厚みである。これらのチップキャパシタは効率が数 100 と高く、全数選別によりキャパシタンス特性は目標規格に入れることができる。

【0010】

【発明が解決しようとする課題】 しかしながら、これまでの LC バンドパスフィルタは、上述したように、イ

10

20

30

40

50

ンダクタに種々の問題があった。つまり、インダクタは駆動周波数が数百MHzから数GHz帯では有効なQ値が得られず、SAWフィルタとか誘電体フィルタに比較すると、挿入損失を小さくするとか、帯域幅を狭くするという点でかなわなかった。

【0011】更に、高周波化による小型化が進むにも関わらず、インダクタ形状が大きいため、回路自体の厚みが薄くならず、デバイス形状も数mm角に収める程度には、小さくならなかった。

【0012】更に、チップL、C素子点数が多くなると、価格も低コストが期待できず、面積も広くなり、他素子との競争力がない。それ故、以上の問題点から最近のSMD部品に集中定数タイプのLCバンドパスフィルタが多く使われることはなかった。

【0013】そこで、本発明の技術的課題は、サイズが小さく、Q値が高く(50以上)、かつ温度特性が安定である薄膜巻き線インダクタとその製造方法とを提供することにある。

【0014】

【課題を解決するための手段】本発明によれば、基板の少なくとも一面にQが高い磁芯薄膜を形成し、巻線を施して巻き線インダクタを構成することを特徴とする巻き線型磁性薄膜インダクタが得られる。

【0015】また、本発明によれば、前記巻き線型磁性薄膜インダクタにおいて、前記磁芯薄膜は、分断されていることを特徴とする巻き線型磁性薄膜インダクタが得られる。

【0016】また、本発明によれば、基板上に磁芯膜を形成し、それを少なくとも2枚重ね合わせ、その集合体に巻き線を施してなることを特徴とする巻き線型磁性薄膜インダクタが得られる。

【0017】また、本発明によれば、前記巻き線型磁性薄膜インダクタにおいて、前記磁芯薄膜は細かく切り離されていることを特徴とする巻き線型磁性薄膜インダクタが得られる。

【0018】また、本発明によれば、前記いずれか1の巻き線型磁性薄膜インダクタにおいて、前記基板は、ポリイミド、ガラス、及びシリコンの内の少なくとも一種*

*からなることを特徴とする巻き線型磁性薄膜インダクタが得られる。

【0019】また、本発明によれば、基板上に磁芯薄膜を形成し、それを少なくとも2枚重ね合わせ、その集合体に巻き線を施すことを特徴とする巻き線型磁性薄膜インダクタの製造方法が得られる。

【0020】また、本発明によれば、前記巻き線型磁性薄膜インダクタの製造方法において、前記磁芯薄膜は、細かく分断されており、前記基板は、ポリイミド、ガラス、及びシリコンの内の少なくとも一種からなることを特徴とする巻き線型磁性薄膜インダクタの製造方法が得られる。

【0021】また、本発明によれば、基板面表裏に形成された磁芯薄膜を有し、前記磁芯薄膜は、磁化容易方向又は磁化困難軸方向に100μmから500μm幅に2～50μmのスペースを開けて分断されていることを特徴とする薄膜巻き線インダクタ用薄膜磁芯材料が得られる。

【0022】また、本発明によれば、前記薄膜巻き線インダクタ用薄膜磁芯材料において、前記基板は、ポリイミド、ガラス、及びシリコンの内の少なくとも一種からなることを特徴とする薄膜巻き線インダクタ用薄膜磁芯材料が得られる。

【0023】さらに、本発明によれば、前記いずれかの薄膜巻き線インダクタ用薄膜磁芯材料に巻き線を施してなることを特徴とする巻き線型磁性薄膜インダクタが得られる。

【0024】

【発明の実施の形態】まず、本発明の原理について図1を参照して説明する。

【0025】図1は巻線コイルの電気抵抗周波数特性と巻線間スペースとの関係を示す図である。

【0026】インダクタのQ値 Q_I は空芯コイルのインダクタンス L_C 、磁芯に起因するインダクタンス L_M 、空芯コイルの抵抗 R_C 、磁芯の抵抗 R_M の間、次の数1乃至3式で表される関係がある。

【0027】

【数1】

$$Q_I = \frac{\omega L_I}{R_I} = \frac{\omega (L_C + L_M)}{R_C + R_M} \quad \dots (1)$$

【0028】

※ ※ 【数2】

ここは、

$$Q_C = \frac{\omega L_C}{R_C} \quad \dots (2)$$

【0029】

★ ★ 【数3】

$$Q_M = \frac{\omega L_M}{R_M} = \frac{\mu}{\mu'} \quad \dots (3)$$

【0030】上記数1式により、 Q_1 を増大するためには、 R_c と R_M を減少する事が必要である。軟磁性薄膜材料については、磁性体の損失は主に磁気スピンの才差運動に起因するdamping 損失 (R_{SP}) と高周波電流に起*

$$R_M = R_{SP} + R_e$$

【0032】 R_{SP} の損失のメカニズムについてはまだ不明であるが、 R_2 については材料の抵抗率に関係がある。従来の軟磁性材料は電気抵抗率が低く（フェライト系を除く）、高周波における渦電流損失が大きい。本発明では、より電気抵抗率の高軟磁性材料を応用し、軟磁性体を磁性膜層／絶縁層の複合多様化構造とすることにより、渦電流損失を大幅に抑えることができる。

【0033】一方、コイルの抵抗 (R_c) を減少するため、以下の検討を行った。

【0034】コイルの抵抗は、直流抵抗だけではなく、高周波電流によるスキーンエフェクト (skin effect) の影響も存在する。

【0035】しかし、図1に示すように、コイル巻き線※

$$R_C = R_{dc} + R_{skin} + R_{near}$$

【0037】数式5から R_c を減少するためには、 R_{dc} と R_{skin} を減少する、即ち巻き線線径の増加は一つの方法である。しかし、インダクタのサイズとインダクタンス値（巻き線のターン数に依存）の制限があるので、線径に制限がある。 R_{near} については、巻き線スペースの増加に伴い減少するが、これと同時に、漏れ磁束の増加により、 L_c も減少する。従って、高い Q 値のインダクタを実現するため、最適な巻き線スペースが必要である★

$$Q_I = \frac{\omega L_I}{R_I} = \frac{\omega (L_C + L_M)}{R_C + R_M} = \frac{\omega (L_C + L_M)}{\frac{\omega L_C}{Q_C} + \frac{\omega L_M}{Q_M}} \\ = \frac{Q_C Q_M (1+k)}{Q_M + Q_C k} \quad \dots (6)$$

【0040】ここで、 $k (=L_M / L_C)$ は材料に起因するインダクタンス L_M と空芯導体コイルのインダクタンス L_C の比である。図2は式6による計算結果の一例を示す。空芯コイルと磁性材料の Q 値はそれぞれ $Q_C = 20$ 、 $Q_M = 100$ と仮定すれば、インダクタの Q 値は k の増加に伴い増大する。即ち、インダクタの Q_1 値が高くなるためには、材料に起因するインダクタンス L_M は大きい必要がある。これまでに試作した巻き線薄膜インダクタはガラス基板の上に片面で磁性薄膜を成膜しているのでインダクタンス値が小さく、インダクタのサイズに対して磁性材料の効果が足りなかった。この為、インダクタの Q 値は35～40程度しか得られなかった。インダクタの Q 値が50以上のなるためには、磁芯薄膜に起因する L_M は空芯コイルのイダクタンスの3倍程度が必要である。

*因する渦電流損失 (R_e) 二種類がある。すなわち、次の数4式が成り立つ。

【0031】

【数4】

... (4)

※の間のスペースが0.019mmの場合は、空心コイルにおける抵抗の測定結果 (R_c) は直流抵抗 (R_{dc}) と skin effect により渦電流損失 (R_{skin}) の影響を考慮して理論計算結果に比べてかなり大きいことが実験から判明した。次に、巻き線間のスペースを増加すると、コイルの測定抵抗値と skin effect を考慮した渦電流損失の計算結果は一致する傾向であることが実験で検証された。この結果から、巻き線の間に高周波における近接効果による損失 (R_{near}) が存在し、コイル抵抗 R_c の増加に関わっていることが推測される。

【0036】

【数5】

... (5)

★ことが分かった。

【0038】次に、薄膜巻き線インダクタの Q 値を向上させるため、磁芯材料の Q 値と導体コイルの Q 値との関係について説明する。インダクタの Q_1 値を磁性体の Q_M 値と導体コイルの Q_C で表すと、以下の数6式になる。

【0039】

【数6】

【0041】以上の検討により、 Q 値増加する対策としては、(a) 磁性体の量を表している $k (=L_M / L_C)$ 値を増加すること、(b) 巻き線間スペースを最適にすることが必要である。

【0042】これらの対策により、本発明では、 Q 値が50以上の巻き線薄膜インダクタを実現した。

【0043】次に、本発明の実施の形態による巻き線型薄膜磁芯インダクタについて説明する。

【0044】(第1の実施の形態) 第1の実施の形態では、片面成膜した試料を用いた巻線インダクタの構成例について説明する。

【0045】図3(a)に示すように、これまでの薄膜インダクタ10は、矩形の基板2の片面に磁性層からなる磁芯薄膜3を成膜した磁芯部1の試料1個を用いて、図3(b)に示すように、巻き線4を施し、インダクタ

を作製している。しかし、このようなインダクタ 10 の Q 値は 40 程度に留まった。

【0046】上記数 6 式から分かるように、磁性材料の影響を大きくするため、図 4 に示すように、片面に磁性層からなる磁芯薄膜 3 を成膜し、細かく切り離したガラス基板 2 からなる磁芯部 1 を、2 個併せて巻き線 4 を施すことで高インダクタンス値を有する巻線インダクタ 20 を作製した。

【0047】このように作製したインダクタの Q_1 値は、磁芯材料のサイズ、巻き線 4 の線径、スペース、巻き線 4 のタン数などとの関係について調べた結果、この方法では、インダクタンスは 2 倍以上になって、インダクタの Q_1 値の向上に効果はあるが、 Q_1 の最大値は 45 に留まり、目標特性である $Q > 50$ を達成することはできなかった。

【0048】一方、この方法では、2 個の磁芯薄膜 3 を用いているため、基板 2 も 2 個あるので、インダクタのサイズも大きくなった。

【0049】(第 2 の実施の形態) 次に、本発明の第 2 の実施の形態として、基板両面成膜した試料を用いた巻

き線インダクタの構成例について説明する。
【0050】第 1 の実施の形態の結果に基づいて、インダクタのサイズも考慮し、高さを押さえるために、図 5 (a) に示すように、ガラス基板 2 の両面上に磁芯膜 3 を形成した。次に巻き線 4 を施して図 5 (c) に示すインダクタ 21 を作製した。

【0051】一方、基板 2 の両面に成膜する際、高透磁率を得るための最適な磁区構造と渦電流を抑えるために、両面の薄膜 3 を図 5 (a) の状態から更に 2 列に分けて、図 5 (b) に示すように、分割磁芯薄膜 5、5 と

して、磁芯部を形成した。このような試料を用いて、図 5 (d) に示すように、巻き線 4 の間に適度のスペースを空けて、巻き線薄膜インダクタ 22 を作製した。このように試作したインダクタは、後で説明するように、Q 値は 40 MHz の付近では 50 以上の値が本発明の第 2 の実施の形態で得られた。

【0052】(第 3 の実施の形態) 次に、第 3 の実施の形態では、多数枚の薄膜試料を用いた巻き線インダクタの構成例について説明する。

【0053】インダクタの高さを押さえることを目的として、薄い (0.1 mm) ポリイミド基板の上に薄い磁芯膜を形成し、それを細かく切り離し、図 6 (a) に示すように、ポリイミド基板 6 に磁芯薄膜 3 を備えた磁芯部 7 を、図 6 (b) に示すように多数枚積層し、それに巻き線 4 を施すことで巻き線インダクタ 23 を作製した。

【0054】(第 4 の実施の形態) 本発明の第 4 の実施の形態においては、巻き線間のスペースの最適化について検討を行った。

【0055】今まで試作した巻き線コイルは、巻き線間のスペースを極力少なくした密巻きコイルである。銅損の測定結果と計算結果の検討により、高周波領域では表皮効果だけではなく、近接効果の影響も存在する。

【0056】これまでの結果から、図 1 のようにコイル導体間スペースが狭くなると損失が増加する事が分かった。この検討に基づいて、コイル導体間のスペースを最適化することでインダクタ Q 値の向上を図ることが可能である。

【0057】以上のような本発明の実施の形態による薄膜インダクタにおいて、得られた特性について説明する。

【0058】(i) まず、周波数特性について説明する
基板両面成膜した磁芯材料を用いて作製したインダクタの周波数特性については、HP 高周波インピーダンスアナライザを用いて測定を行った。

【0059】図 7 は測定結果の一例を示す図である。図 7 から、インダクタの Q 値は、20 MHz から 70 MHz の周波数範囲では、50 以上であることを確認できた。

【0060】(ii) 次に、耐熱特性について説明する
図 5 で示したインダクタの詳しい構造は、図 8 に示す通りである。ガラス基板 11 上の表裏両面に磁性薄膜 12, 12, ... が形成されている。また、ガラス基板 11 の片面の両端部には、外部接続のための導体パッド 13 が形成されている。巻線の両端部 4a はこの導体パッド 13 に夫々半田付けされる。導体パッド 13 は、また、外部との接続にも供される。

【0061】尚、磁性薄膜は幅方向に分割無しの一枚と、2 枚に分割したものを用意した。分割した理由は、このような構造を取った方が磁気ドメインがそろい、損失が低下するという経験的な事実による。この構造において、基本問題として懸念されたことは、磁性体の耐熱性の問題であった。つまり、フィルタのマザボードへの半田付け、フィルタ基板へのインダクタの半田付け、インダクタ巻線の半田付けの 3 段階に対して、半田温度に差を付けるとすれば、インダクタ巻線の半田付け温度は、かなり高いものになると予測され、この問題の調査が不可欠と判断された。

【0062】実験は、ホットプレートを所定の温度に設定しておき、この上にインダクタを載せて 30 秒放置した後放冷し、常温に戻った状態で特性測定を行う、という繰り返しを行った。各サンプルに対して、低い温度から順次高い温度に昇温するため、実際にかかった熱は、それより低い温度でさらされた熱の積算されたものである。3 個のサンプルについての測定結果は、下記表 1 の通りであった。

【0063】

【表 1】

薄膜巻線インダクタのL、Q特性の熱処理テスト結果

温度 (°C)		(R. T.) 25	260	280	300	320	340
試料1	$\Delta L/L_0$ (%)	0	-0.9	1.3	5.0	5.2	4.5
	$\Delta Q/Q_0$ (%)	0	5.0	6.8	3.7	6.8	3.1
試料2	$\Delta L/L_0$ (%)	0	5.8	11.0	10.0	11.5	8.0
	$\Delta Q/Q_0$ (%)	0	10.1	15.9	9.1	6.8	0.1
試料3	$\Delta L/L_0$ (%)	0	8.8	7.8	13.2	13.0	10.7
	$\Delta Q/Q_0$ (%)	0	2.5	-1.4	-0.6	-1.9	0.3

【0064】上記表1より、本発明で作製したサンプルについては、短時間であれば、300℃以上に耐えることが判明し、耐熱性としては問題が無いことが分かる。この実験の結果では、温度を上げることによるインダクタンス値のドリフトの現象が見られる。特性安定化のために、高温で強制エージングを加えて特性の安定化を計ることが必要であると言える。

【0065】(iii)次に、温度特性について説明する。-20℃～80℃の温度範囲において、インダクタンス値およびQ値の温度変化を測定した。実際には、フィルタに用いられることを前提として、積層チップコンデンサと並列接続した状態での共振周波数と損失カーブについて測定した。等価回路に基づいて、測定結果からインダクタのインダクタンスとQ値を求めた。積層チップコンデンサはほぼ零温度係数のものを選択したので、この周波数温度係数は、ほぼインダクタンスの変化に等しいと見られる。

【0066】図9はその測定結果を示す図である。ここに、共振周波数とQ値の変化は室温の値に基準としてまとめたものである。

【0067】図10はフェライトチップインダクタの測

定例である。二つの図に比べて、薄膜巻線インダクタの温度係数が小さいことが明らかに成っている。

【0068】以上、説明したように、本発明の実施の形態では、Q値が50より大きく、サイズが小さく、耐熱性もよく、温度特性も安定した巻線型薄膜インダクタを作製した。このインダクタは、フェライトチップインダクタに比較して、温度特性に優れ、レーザトリミングによって微調節が可能であり、電子デバイスの小型化に非常に有効な素子である。

【0069】

【実施例】図5(a)、(b)のように、基板2の両面に磁芯薄膜3又は分割磁芯薄膜5を成膜した磁芯材料に、図5(c)、(d)のように基板ごと巻線4を施した薄膜巻線インダクタ21、22の磁性厚みと磁性長さ、表裏の磁性列の合計、巻線ターン数を変えた際の、インダクタのL値とQ値の測定結果を下記表2に示す。各面の磁性列は1～4列に分割されている。下記表2より、基板2の表裏1列のみの磁芯薄膜を備えた実施例1以外は、Q>50が得られた。

【0070】

【表2】

試 料	磁性層厚×長	表裏列合計	線ターン数	L値 (nH)	Q値
実施例1	2 μ m×2mm	2列	5ターン	30 nH	45
" 2	"	4 "	5ターン	50 nH	52
" 3	"	6 "	10ターン	170 nH	60
" 4	4 μ m×3mm	4 "	5ターン	110 nH	55
" 5	"	4 "	10ターン	210 nH	58
" 6	"	4 "	20ターン	420 nH	55
" 7	6 μ m×4mm	4 "	10ターン	315 nH	60
" 8	"	6 "	10ターン	455 nH	63
" 9	"	8 "	20ターン	1150 nH	65

【0071】

【発明の効果】以上説明したように、本発明では、高Q値のインダクタを得るため、磁芯に用いた薄膜磁性体とその磁芯の成膜された基板と一緒に巻き線を施して、薄膜磁芯インダクタのQ値向上させることができる。

【0072】また、本発明によれば、この薄膜磁性体に巻き線を施すことによって、磁芯を挿入するコイルのQ値が大きくでき、コイルの巻き線は自動巻き線機を使い低コストにでき、さらに、薄膜磁性体はレーザートリミングが可能で特性の微調整ができる巻き線型磁性薄膜インダクタを提供することができる。

【0073】また、本発明では、ガラス基板の表裏両面に薄膜磁芯を形成し、それを細かく切り離して、その後巻き線を施すことで、サイズが小さく、Q値が高く（50以上）、かつ温度特性が安定である巻線型磁性薄膜インダクタとその製造方法とを提供することができる。

【図面の簡単な説明】

【図1】巻線コイルの電気抵抗周波数特性と巻線間スペースとの関係を示す図である。

【図2】磁性薄膜を用いて巻線インダクタのQ値と空芯コイルL値、磁性体に起因するL値の依存関係を示す図である。

【図3】磁性薄膜を用いて巻線インダクタの作製を示す図である。

【図4】磁性薄膜2個を用いた巻線インダクタの作製例

を示す図である。

【図5】基板両面成膜した磁性材料を用いた巻き線インダクタの作製例を示す図である。

【図6】多枚磁性薄膜を用いた巻線インダクタの作製例を示す図である。

【図7】巻線薄インダクタのL、RとQの周波数特性を示す図である。

【図8】基板両面成膜した磁芯材料を用いた薄膜巻線インダクタの構成を示す図である。

【図9】巻き線薄膜インダクタのQ値と共振周波数の温度特性を示す図である。

【図10】フェライトチップインダクタQ値と共振周波数の温度特性を示す図である。

【符号の説明】

- 1 磁芯部
- 2, 11 基板
- 3, 12 磁芯薄膜
- 4 巻き線
- 4a 巻き線の端部
- 5 分割磁芯薄膜
- 6 基板
- 7 磁芯部
- 8 多層磁芯材料
- 10, 20, 21, 22, 23 インダクタ
- 13 導体パッド

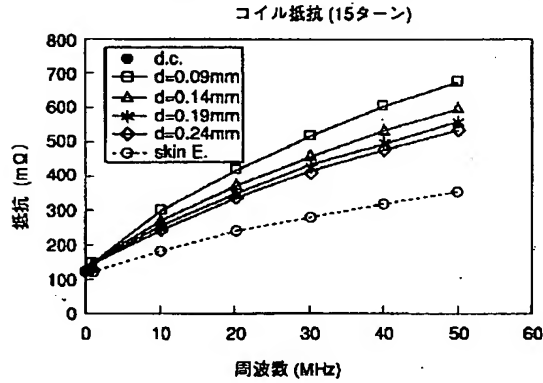
30

40

50

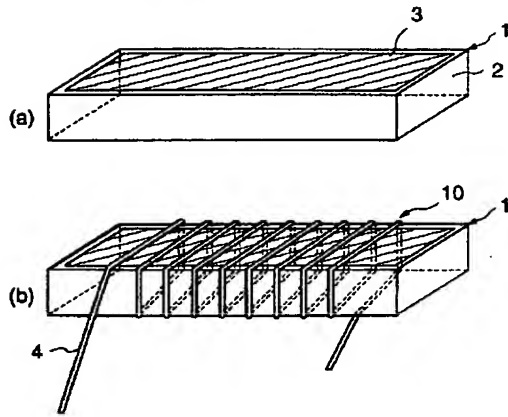
【図1】

巻き線コイルの電気抵抗周波数特性と巻き線間スペースとの関係



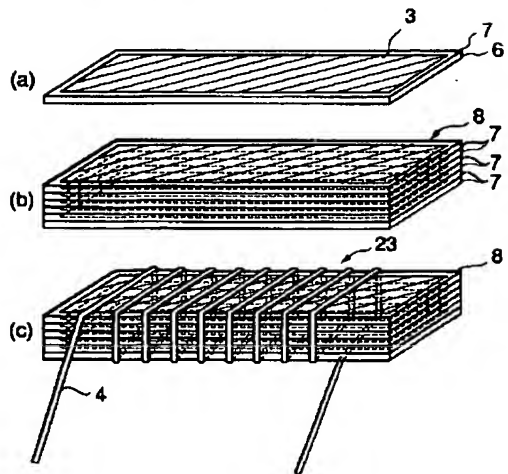
【図3】

磁性薄膜を用いた巻き線インダクタ



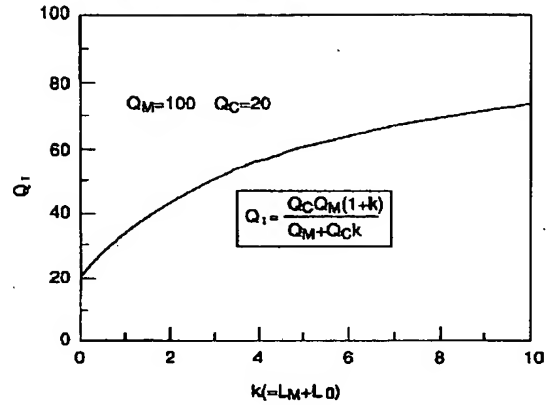
【図6】

磁性薄膜を多数枚用いた巻き線型インダクタ



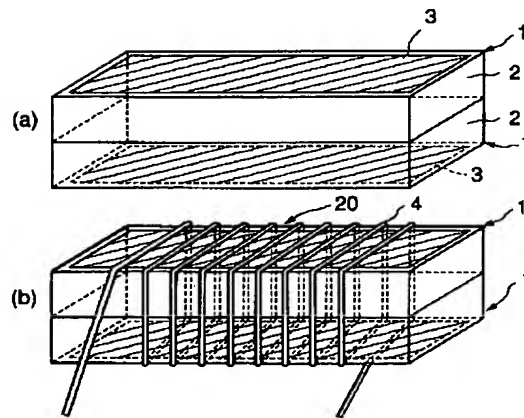
【図2】

磁性薄膜を用いた巻き線インダクタのQ値と空芯コイルのL値、磁性体起因するL値の依存関係



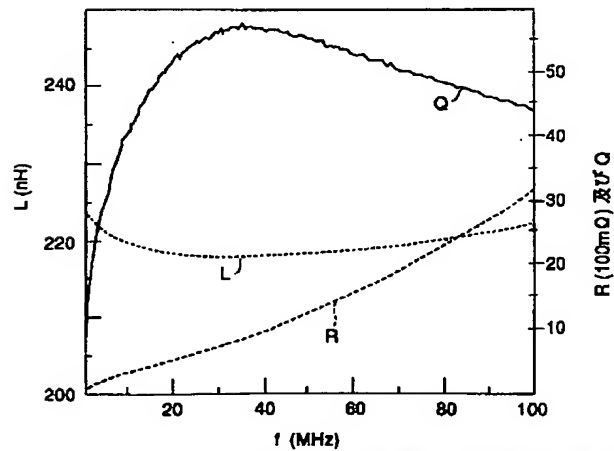
【図4】

磁性薄膜2個を用いた巻き線インダクタ



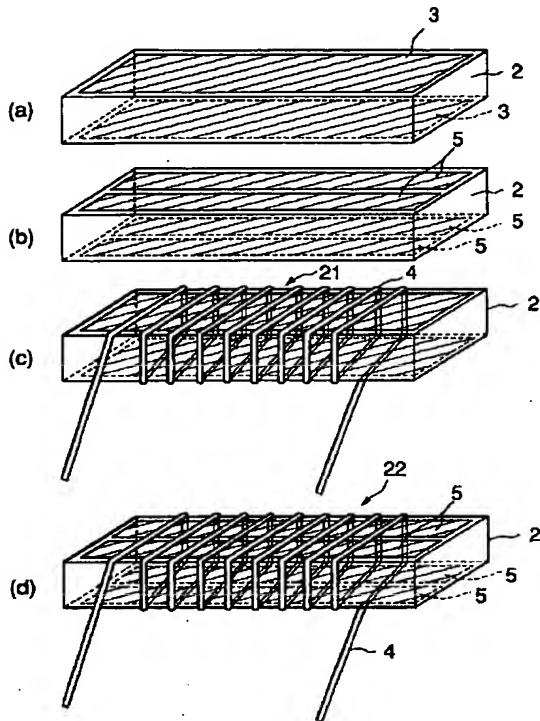
【図7】

巻き線薄膜インダクタのL,RとQの周波数特性



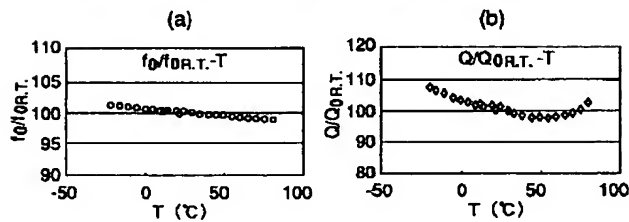
【図5】

板両面成膜した磁性薄膜を用いた巻き線インダクタ



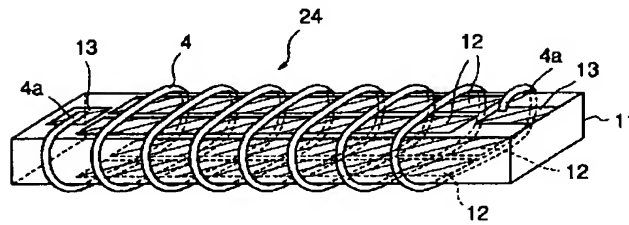
【図9】

巻き線薄膜インダクタのQ値と共振周波数の温度特性



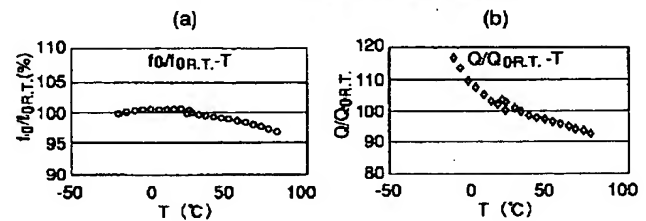
【図8】

板両面成膜した磁芯材料を用いた薄膜巻線インダクタ



【図10】

フェライトチップインダクタQ値と共振周波数の温度特性



フロントページの続き

(72)発明者 矢野 健
宮城県仙台市太白区郡山六丁目7番1号
株式会社トーキン内

Fターム(参考) 5E070 AA01 AA19 AB01 AB06 AB09
BA20 EA01 EA06 EB02

BEST AVAILABLE COPY